



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000321559 A

(43) Date of publication of application: 24.11.00

(51) Int. Cl

G02F 1/1333**G02F 1/133****G09G 3/20**

(21) Application number: 11134312

(71) Applicant: SONY CORP

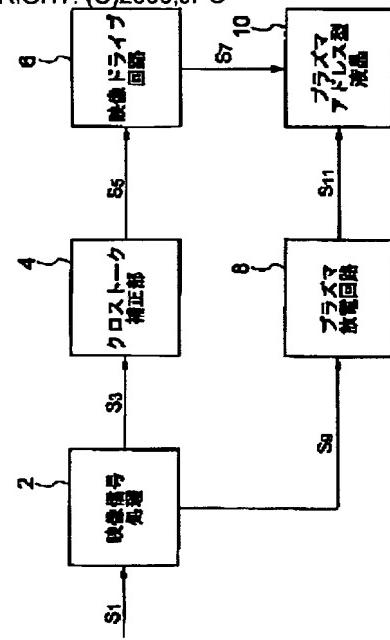
(22) Date of filing: 14.05.99

(72) Inventor: ISOBE TOSHINOBU

**(54) CROSSTALK CORRECTING DEVICE FOR
PLASMA ADDRESS TYPE DISPLAY DEVICE, AND
PLASMA ADDRESS TYPE DISPLAY DEVICE**

circuit 6.

COPYRIGHT: (C)2000,JPO



(57) Abstract:

PROBLEM TO BE SOLVED: To provide a plasma address type display device capable of preventing brightness, chromaticity, saturation degree from varying due to crosstalk, and faithfully reproducing brightness and color.

SOLUTION: A video signal processing part 2 performs signal processing to a video signal S1 such as gain control, and generates a video signal S3 and a discharge timing signal S9 for sequentially discharging between an anode and a cathode in synchronism with the video signal S3. Based on the discharge timing signal S9, a discharge drive signal S11, which actually discharges between the anode and the cathode, is generated in a plasma arc circuit 8, and applied to a plasma address type liquid crystal panel 10. Based on the video signal S3, a crosstalk correcting signal is obtained by arithmetic calculation in a crosstalk correcting part 4, and is composed into the video signal S3. A video signal S5 subjected to this correction is applied to the plasma address type liquid crystal panel 10 via a video drive

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-321559
(P2000-321559A)

(43)公開日 平成12年11月24日(2000.11.24)

(51)Int.Cl. ⁷	識別記号	F I	マークコード(参考)
G 0 2 F 1/1333		G 0 2 F 1/1333	2 H 0 8 9
1/133	5 0 5	1/133	5 0 5 2 H 0 9 3
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20	6 4 2 Z 5 C 0 8 0

審査請求 未請求 請求項の数10 O.L (全 13 頁)

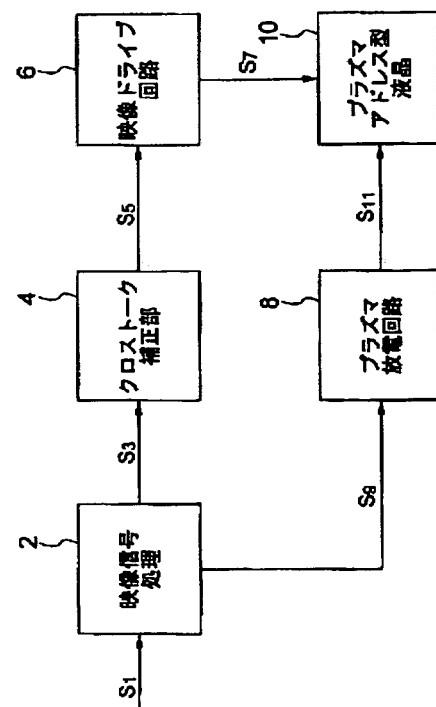
(21)出願番号	特願平11-134312	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成11年5月14日(1999.5.14)	(72)発明者	磯邊 敏信 東京都品川区北品川6丁目7番35号 ソニ 一株式会社内
		(74)代理人	100094053 弁理士 佐藤 隆久 Fターム(参考) 2H089 HA36 QA16 2H093 NA20 NA43 NC52 NC58 ND15 50080 AA10 BB05 CC03 DD10 EE29 FF12 GG12 JJ02 JJ04 JJ05 JJ06

(54)【発明の名称】 プラズマアドレス型表示装置のクロストーク補正装置およびプラズマアドレス型表示装置

(57)【要約】

【課題】クロストークによる輝度、色度、飽和度の変化を防止し、忠実に輝度と色の再現を行なうことのできるプラズマアドレス型表示装置を提供する。

【解決手段】映像信号処理部2で、映像信号S₁に対しゲインコントロールなどの信号処理を行ない、映像信号S₃および映像信号S₅に同期してアノード・カソードを順次に放電させるための放電タイミング信号S₆を生成する。放電タイミング信号S₆に基づいて、プラズマ放電回路8において、実際にアノード、カソード間を放電させる放電ドライブ信号S₁₁が生成され、プラズマアドレス型液晶パネル10に印加される。映像信号S₃に基づいて、クロストーク補正部4においてクロストーク補正信号が演算により求められ、これが映像信号S₅に合成される。この補正の行なわれた映像信号S₅が映像ドライブ回路6を介してプラズマアドレス型液晶パネル10に印加される。



【特許請求の範囲】

【請求項1】画素ごとの信号で規定されるプラズマアドレス型表示パネル表示用の画像信号の各画素の信号各々について、当該画素および当該画素の周辺の所定の画素の画像信号、および、前記表示パネルの構造に基づいて決定される予め設定された当該表示パネルのクロストーク特性に基づいて、当該画素に対するクロストーク信号に相当する補正信号を算出する補正信号算出手段と、前記算出された補正信号に基づいて、当該画素の画像信号を補正する補正手段とを有するプラズマアドレス型表示装置のクロストーク補正装置。

【請求項2】前記補正信号算出手段は、前記表示パネルの各画素に印加する信号に対する隣接する画素にクロストークする信号の割合に基づいて、当該画素に対するクロストークによる信号の変化を予測し、当該変化を相殺する信号を前記補正信号として算出する請求項1に記載のプラズマアドレス型表示装置のクロストーク補正装置。

【請求項3】前記補正信号算出手段は、前記補正信号算出手段の第1の画素について、当該第1の画素の画像信号のレベルと、当該第1の画素に所定の方向に隣接する第2の画素の画像信号のレベルとの差分である第1の差分を検出する第1の減算器と、前記第1の画素の画像信号のレベルと、前記第1の画素に前記第2の信号とは反対の方向で隣接する第3の画素の画像信号のレベルとの差分である第2の差分を検出する第2の減算器と、前記検出された第1の差分と、前記検出された第2の差分とを加算する第1の加算器と、前記加算された信号に所定の係数を乗じ前記補正信号を算出する乗算手段とを有する請求項2に記載のプラズマアドレス型表示装置のクロストーク補正装置。

【請求項4】前記乗算手段は、前記表示パネルの各画素に印加する信号に対する隣接する画素にクロストークする信号の割合をKとした場合に、 $H = K / (1 - 3K)$ で規定される係数Hを前記加算された信号に乗じ、前記補正信号を算出する請求項3に記載のプラズマアドレス型表示装置のクロストーク補正装置。

【請求項5】処理対象の画像信号の各画素の信号に対して、所定の非線形変換を行なう非線形変換手段と、前記非線形変換の逆変換を行なう非線形逆変換手段とをさらに有し、前記補正信号算出手段は、前記所定の非線形変換が行なわれた画像信号より前記補正信号を算出し、前記補正手段は、前記算出された補正信号に基づいて当該画素の画像信号を補正し、前記非線形逆変換手段は、前記補正の行なわれた画像信号に対して、前記逆変換を行なう請求項1に記載のプラズマアドレス型表示装置のクロストーク補正装置。

【請求項6】前記第1の画素、前記第2の画素および前

記第3の画素は、前記プラズマアドレス型表示パネルの隔壁と直交する方向に並ぶ画素である請求項1に記載のプラズマアドレス型表示装置のクロストーク補正装置。

【請求項7】前記第1の画素、前記第2の画素および前記第3の画素は、前記プラズマアドレス型表示パネルの隔壁と平行な方向に並ぶ画素である請求項1に記載のプラズマアドレス型表示装置のクロストーク補正装置。

【請求項8】画素ごとの信号で規定される画像信号に基づいてプラズマアドレス型表示パネルに所望の画像を表示する装置であつて、

前記画像信号の各画素の信号各々について、当該画素および当該画素の周辺の所定の画素の画像信号に基づいて、予め設定された前記表示パネルのクロストーク特性を示す情報を参照し、当該画素に対するクロストーク信号に相当する補正信号を算出する補正信号算出手段と、前記算出された補正信号に基づいて当該画素の画像信号を補正しクロストーク補正の行なわれた画像信号を生成する補正手段と、

前記生成されたクロストーク補正の行なわれた各画素ごとの画像信号に基づいて画像を表示するプラズマアドレス型表示パネルとを有するプラズマアドレス型表示装置。

【請求項9】入力される画像信号を、前記画素ごとの信号で規定される画像信号に変換する信号処理手段をさらに有する請求項8に記載のプラズマアドレス型表示装置。

【請求項10】処理対象の画像信号の各画素の信号に対して、所定の非線形変換を行なう非線形変換手段と、前記非線形変換の逆変換を行なう非線形逆変換手段とをさらに有し、前記補正信号算出手段は、前記所定の非線形変換が行なわれた画像信号より前記補正信号を算出し、前記補正手段は、前記算出された補正信号に基づいて当該画素の画像信号を補正し、前記非線形逆変換手段は、前記補正の行なわれた画像信号に対して、前記逆変換を行ない、前記プラズマアドレス型表示装置は、前記逆変換された画像信号に基づいて画像を表示する請求項8に記載のプラズマアドレス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁層によって生じる画素間のクロストークを信号処理により補正することのできるプラズマアドレス型表示装置のクロストーク補正装置、および、これにより高品位な画像を表示することのできるプラズマアドレス型表示装置に関する。

【0002】

【従来の技術】いわゆるフラットディスプレイとしては、電気光学セルとして液晶セルを用いた液晶ディスプレイ (Liquid Crystal Display : LCD) が広く知られ

ているが、特に、各画素ごとに薄膜トランジスタ（TFT）を駆動素子として設けた TFT型LCDは、応答速度の高速化や高コントラスト化が可能なデバイスとして、広く普及している。しかし、TFT型LCDは、各画素ごとにTFTを形成しなければならぬため構造が複雑となり、特に大画面の表示パネルを製造した時には十分な歩留りが得られないなどの問題がある。そこで、TFTなどのスイッチング素子の代わりに、プラズマ放電を利用して液晶セルを駆動するプラズマアドレス型液晶表示装置が注目されている。プラズマアドレス型液晶表示装置は、比較的単純な構造で高品位な表示を実現することができるため、特に中画面から大画面のフラットディスプレイとして使用されている。

【0003】そのようなプラズマアドレス型液晶表示装置の一般的な構造を、図9を参照して説明する。図9に示すように、プラズマアドレス型液晶表示パネル100においては、液晶107は、絶縁層106と前面ガラス110との間に収容されており、前面ガラス110側にはカラーフィルター108と透明電極109がストライプ状に設けられている。絶縁層106の反対側は、後面ガラス102が隔壁105を介して接続されており、絶縁層106と後面ガラス102との間で隔壁105により規定される空間には、プラズマ放電用のガスが充填されている。後面ガラス102の各隔壁105間には、一対のアノード103とカソード104が設けられている。これらアノード103、カソード104および隔壁105は、透明電極109と直交する方向に配置されており、透明電極109と隔壁105の各交点が1画素に相当する。

【0004】このような構成において、各透明電極109とアノード103間に信号ドライブ電圧をかける一方で、一つの隔壁105間のアノード103とカソード104間に放電電圧をかけてその隔壁105間にプラズマ放電を起こすことにより、このプラズマ放電をスイッチとして動作させ、液晶107への電圧の書き込みを行なう。そして、この動作を各隔壁105間で順次行なうことで、画面全体に映像信号の書き込みを行なう。

【0005】この液晶部への書き込み原理を、図10を参照してより詳細に説明する。図10は、プラズマアドレス型液晶表示装置の液晶部への書き込み原理を説明する図である。図10(A)に示す状態では、放電スイッチ113がオフであり、アノード103とカソード104の間には放電電圧 V_{bc} が加わらないためプラズマ放電が起きない。そのため、アノード103と絶縁層106の間はハイインピーダンスとなり、信号電圧114は液晶107に加わらない。図10(B)に示す状態では、放電スイッチ113がオンとなり、アノード103とカソード104の間に放電電圧 V_{bc} が加わりプラズマ放電115が発生する。その結果、アノード103と絶縁層106との間のインピーダンスが低くなり、信号電圧V

s_c が透明電極109と絶縁層106との間に印加され、絶縁層106に信号電荷 Q_{sc} がチャージされる。

【0006】図10(C)の状態では、再び放電スイッチ113がオフとなり、アノード103とカソード104の間には放電電圧 V_{bc} が加わらないためプラズマ放電が起きない。そのため、アノード103と絶縁層106の間はハイインピーダンスとなり、信号電圧 V_{sc} は液晶107に加わらなくなる。しかし、絶縁層106にチャージした信号電荷 Q_{sc} は、アノード103と絶縁層106の間のインピーダンスが高いため放電せずに残り続ける。この電圧により液晶部107の配向が変化し、パネルの透過率を変え、信号電圧 V_{sc} に基づいた所望の表示が行なわれる。

【0007】

【発明が解決しようとする課題】ところで、このようなプラズマアドレス型液晶表示装置では、液晶に加わる電圧の、一方の電極は液晶に接している透明電極であるが、他方は絶縁層のプラズマ側にチャージされる電荷であるため、絶縁層の厚みと画素の大きさとの関係によりクロストークが発生するという問題がある。

【0008】プラズマアドレス型液晶表示装置におけるクロストークについて、図11～図13を参照して説明する。まず、プラズマアドレス型液晶表示装置におけるクロストーク発生原理を図11を参照して説明する。なお、図11(A), (B)においては、透明電極109a, 109b, 109cが1つずつの画素に対応している。

【0009】図11(A)に示すように、絶縁層106が液晶107に対して十分薄い場合には、プラズマ放電により透明電極109bの下にある絶縁層106にチャージした信号電荷 Q_{sc} は、絶縁層106で少し広がり液晶107に加わるが、透明電極109bの1画素分の幅よりはみ出して、隣の画素である透明電極109a、透明電極109cの領域にまでは達せず、クロストークは発生しない。しかし、図11(B)に示すように、絶縁層106が液晶107に対してある程度以上厚い場合には、透明電極109bの下にチャージした電荷116が絶縁層106の内部で広がり、透明電極109bの1画素分の幅よりはみ出して、隣の画素である透明電極109a、透明電極109cの領域にまで達し、クロストークが発生する。

【0010】次に、ある画素に電圧を印加した場合に隣接する画素に発生するクロストークを、図12(A)～(C)を参照して説明する。図12(A)は、ある画素に対してのみ透明電極109に加えるドライブ電圧を示す図であり、並んで配置される5つの画素[n-2], [n-1], [n], [n+1], [n+2]において、中心の画素[n]にのみドライブ電圧D[n]を加え、その他の画素[n-2], [n-1], [n+1], [n+2]にはドライブ電圧が加えられていない

($D[n-2]$, $D[n-1]$, $D[n+1]$, $D[n+2] = 0V$) 状態を示している。

【0011】図12(B)は、ドライブ電圧に基づいて液晶107に加わる電圧を示す図であり、画素[n]に書き込まれた電圧 $D[n]$ が絶縁層106での拡散により拡散電圧 $X[n]$ の分布で液晶107に加わることを表している。この時、画素[n-1]の領域および画素[n+1]の領域に画素[n]の拡散した電圧が加わり、これらの成分がクロストークとなる。画素[n-2]と画素[n+2]は、画素[n]から離れているためクロストークの影響はない。また、全体の電荷量は変わらないため、これにより、画素[n]に加わる電圧は*

$$\begin{aligned} L[n-2] &= 0 \\ L[n-1] &= K \cdot D[n] \\ L[n] &= (1 - 2K) \cdot D[n] \\ L[n+1] &= K \cdot D[n] \\ L[n+2] &= 0 \end{aligned}$$

…(1)

【0014】ここで、実際は液晶107と絶縁層106のインピーダンスにより電圧分割するため、式(2)の関係は成り立たなくなるが、説明を容易にするために、

ここでは、電圧 $D[n]$ は全て液晶にかかる、すなわち※

$$L[n-1] + L[n] + L[n+1] = D[n] \quad \cdots(2)$$

【0016】次に、実際のカラーパネルにおいて各画素のクロストークが与える影響について図13(A)～(C)を参照して説明する。図13(A)～(C)は、RGBの各画素が並んでいる水平方向のクロストークを表したもので、任意の画素[n]を中心に、画素[n-1]のレッド(R)画素 $R[n]$ から、画素[n+1]のブルー(B)画素 $B[n+1]$ までが、画素 $R[n-1]$, $G[n-1]$, $B[n-1]$, $R[n]$, $G[n]$, $B[n]$, $R[n+1]$, $G[n+1]$, $B[n+1]$ というように並んでいる状態を示している。

【0017】図13(A)に示すような、ドライブ電圧

$DR[n-1]$, $DG[n-1]$, $DB[n-1]$, $DR[n]$

$$\begin{aligned} LR[n] &= K \cdot DB[n-1] \\ &\quad + (1 - 2K) \cdot DR[n] \\ &\quad + K \cdot DG[n] \\ LG[n] &= K \cdot DR[n] \\ &\quad + (1 - 2K) \cdot DG[n] \\ &\quad + K \cdot DB[n] \\ LB[n] &= K \cdot DG[n] \\ &\quad + (1 - 2K) \cdot DB[n] \\ &\quad + K \cdot DR[n+1] \end{aligned}$$

* 減少する。

【0012】図12(C)は、図12(B)に示したように液晶に加わる電圧を、各画素単位の等価電圧で示した図であり、画素[n-1]に液晶電圧 $L[n-1]$ が加わり、画素[n+1]に液晶電圧 $L[n+1]$ が加わり、画素[n]には液晶電圧 $L[n]$ が加わることを表している。片側の画素へのクロストーク係数をKとするとき、各液晶電圧 L は、式(1)のように表わすことができる。

【0013】

【数1】

※式(2)が成り立つものとして説明を行なう。

【0015】

【数2】

★ $R[n]$, $DG[n]$, $DB[n]$, $DR[n+1]$, $DG[n+1]$, $DB[n+1]$ が各画素に対して印加されているとすると、これらのドライブ電圧は、絶縁層106での拡散により図13(B)に示すように広がり重なり合い、その結果、液晶107に加わる等価電圧 $LR[n-1] \sim LB[n+1]$ は、図13(C)のようになる。これら、画素 $R[n]$, $G[n]$, $B[n]$ に加わる等価電圧 $LR[n]$, $LG[n]$, $LB[n]$ は、式(1)より、式(3)のようになる。

【0018】

【数3】

…(3)

し、隣接する画素の電圧 $DB[n-1]$, $DG[n]$ の成分が混入し、画素 $B[n]$ においては、元の電足す $DB[n]$ の成分が減少し、隣接する画素の電圧 $DG[n]$, $DR[n+1]$ の成分が混入する。その結果、

【0019】式(3)から、クロストークによる画面表示上の影響を考えると、画素 $G[n]$ においては、元の電圧 $DG[n]$ の成分が減少し、隣接する画素の電圧 $DR[n]$, $DB[n]$ の成分が混入する。同様に画素 $R[n]$ においては、元の電圧 $DR[n]$ の成分が減少

50 元の映像信号に対して輝度、色度、飽和度が変化してし

まうという問題が生じる。

【0020】このように、これまでのプラズマアドレス型液晶表示装置においては、プラズマ放電部と液晶部の間にある光を透過する絶縁層の厚みにより液晶に印可する電圧が拡散し、隣接する画素にクロストークを生じ、このクロストークにより忠実な輝度と色の再現ができなくなるという問題があった。

【0021】なお、このようなクロストークの量は、画素の大きさおよび液晶部の厚みと、絶縁層の厚みの関係で決まり、画素が小さいほどクロストーク量が多くなり、絶縁層が厚いほどクロストーク量が多くなる。通常、画素の大きさは表示パネルのサイズと画素数で決まり100～300ミクロン程度で、液晶部の厚みは数十ミクロンであるのに対して、絶縁層の厚みは数十ミクロンであり、この条件ではクロストークは避けられない。また、カラー表示を行なうためには、RGBの3画素で1映像画素を構成するため、RGB方向の画素の幅は1/3になり、この方向のクロストークは一層厳しくなる。しかも、絶縁層として主に使用している簿板ガラスは、現在の製造方法の限界から数十ミクロン以下にすることが困難であり、絶縁層の厚さを薄くしてクロストークを防ぐことは非常に難しい。

【0022】したがって本発明の目的は、たとえばプラズマアドレス型液晶表示装置における、クロストークによる輝度、色度、飽和度の変化を適切に補正することのできるクロストーク補正装置を提供することにある。また本発明の他の目的は、クロストークによる輝度、色度、飽和度の変化を防止し、忠実な輝度と色の再現を行ない高品位な画像を表示することのできるプラズマアドレス型液晶表示装置を提供することにある。

【0023】

【課題を解決するための手段】前記課題を解決するために、たとえばプラズマアドレス型液晶表示装置において構造的に発生するクロストークの量を、映像信号の隣接する画素に印加される信号から予測し、補正信号を生成し、これを映像信号と合成するようにした。

【0024】したがって、本発明のプラズマアドレス型表示装置のクロストーク補正装置は、画素ごとの信号で規定されるプラズマアドレス型表示パネル表示用の画像信号の各画素の信号各々について、当該画素および当該画素の周辺の所定の画素の画像信号、および、前記表示パネルの構造に基づいて決定され予め設定された当該表示パネルのクロストーク特性に基づいて、当該画素に対するクロストーク信号に相当する補正信号を算出する補正信号算出手段と、前記算出された補正信号に基づいて、当該画素の画像信号を補正する補正手段とを有する。

【0025】このような構成のプラズマアドレス型表示装置のクロストーク補正装置においては、補正信号算出手段において、各画素ごとに、当該画素および当該画素

の周辺の所定の画素の画像信号および前記表示パネルの構造に基づいて決定され予め設定された当該表示パネルのクロストーク特性に基づいて、当該画素に対するクロストーク信号に相当する補正信号を算出し、その算出された補正信号に基づいて、補正手段において、当該画素の画像信号を補正する。

【0026】特定的には、前記補正信号算出手段は、前記表示パネルの各画素に印加する信号に対する隣接する画素にクロストークする信号の割合に基づいて、当該画素に対するクロストークによる信号の変化を検出し、当該変化を相殺する信号を前記補正信号として算出する。

【0027】また、本発明のプラズマアドレス型表示装置は、画素ごとの信号で規定される画像信号に基づいてプラズマアドレス型表示パネルに所望の画像を表示するプラズマアドレス型表示装置であって、前記画像信号の各画素の信号各々について、当該画素および当該画素の周辺の所定の画素の画像信号に基づいて、予め設定された前記表示パネルのクロストーク特性を示す情報を参照し、当該画素に対するクロストーク信号に相当する補正信号を算出する補正信号算出手段と、前記算出された補正信号に基づいて当該画素の画像信号を補正しクロストーク補正の行なわれた画像信号を生成する補正手段と、前記生成されたクロストーク補正の行なわれた各画素ごとの画像信号に基づいて画像を表示するプラズマアドレス型表示パネルとを有する。

【0028】

【発明の実施の形態】本発明の一実施の形態について、図1～図5を参照して説明する。図1は、そのプラズマアドレス型液晶表示装置1の構成を示すブロック図である。プラズマアドレス型液晶表示装置1は、映像信号処理部2、クロストーク補正部4、映像ドライブ回路6、プラズマ放電回路8およびプラズマアドレス型液晶パネル10を有する。

【0029】まず、プラズマアドレス型液晶表示装置1の各部の構成の概略および全体の動作の概略について説明する。映像信号処理部2は、入力される映像信号S₁に対して、ゲインコントロール、マトリクス信号化などの、ドットマトリクス型ディスプレイとしての一般的な映像信号処理を行ない、映像信号S₂を生成してクロストーク補正部4に出力する。また、映像信号処理部2は、生成した映像信号S₂が適切に表示されるように、映像信号S₂に同期してプラズマアドレス型液晶表示装置のアノード・カソードを順次に放電させるための放電タイミング信号S₃を生成し、プラズマ放電回路8に出力する。

【0030】クロストーク補正部4は、映像信号処理部2より入力される映像信号S₂に対して、前述したようなクロストークを補正するクロストーク補正信号を演算により求め、これを映像信号S₄に合成してクロストーク補正の行なわれた映像信号S₅を生成し、映像ドライ

ブ回路6に出力する。本発明に係わるこのクロストーク補正部4の構成および動作については、後に詳細に説明する。

【0031】映像ドライブ回路6は、クロストーク補正部4より入力されるクロストーク補正された映像信号S₅に対して、プラズマアドレス型液晶表示装置の透明電極をドライブするために必要なパラレル・シリアル変換や電圧変換を行ない、表示用の映像信号S₇を生成し、プラズマアドレス型液晶パネル10に印加する。

【0032】プラズマ放電回路8は、映像信号処理部2から入力される放電タイミング信号S₉に基づいて、プラズマアドレス型液晶パネル10のアノード・カソードを順次に放電させる放電ドライブ信号S₁₁を生成し、プラズマアドレス型液晶パネル10に印加する。

【0033】プラズマアドレス型液晶パネル10は、図9および図10を参照して前述したような構成および動作の表示パネルである。プラズマアドレス型液晶パネル10においては、各画素ごとに、プラズマ放電回路8より入力される放電ドライブ信号S₁₁がアノードとカソードの間に印加されている状態で、映像ドライブ回路6より入力される映像信号S₅が透明電極と絶縁層の間に印加され、信号電荷がチャージされ、これにより液晶の配向が変化されて所望の表示が行なわれる。

【0034】このような構成のプラズマアドレス型液晶表示装置1においては、入力される映像信号S₅に対して、まず、映像信号処理部2においてゲインコントロールなどの信号処理を行なって、映像信号S₉および映像信号S₁₀に同期してプラズマアドレス型液晶表示装置のアノード・カソードを順次に放電させるための放電タイミング信号S₁₂を生成する。この放電タイミング信号S₁₂に基づいて、プラズマ放電回路8において、実際にプラズマアドレス型液晶パネル10のアノード、カソード間を放電させる放電ドライブ信号S₁₁が生成され、プラズマアドレス型液晶パネル10に印加される。

【0035】一方、映像信号S₅に対しては、クロストーク補正部4においてクロストーク補正信号が演算により求められ、これが映像信号S₅に対して合成され、クロストーク補正の行なわれた映像信号S₅が生成される。そして、このクロストーク補正された映像信号S₅が映像ドライブ回路6に入力されて、プラズマアドレス型液晶表示装置の透明電極をドライブするための映像信号S₅に変換されてプラズマアドレス型液晶パネル10に印加される。これにより、プラズマアドレス型液晶パネル10においては、放電ドライブ信号S₁₁によりドライブされている画素に対して映像信号S₅が印加され、所望の画像の表示が行なわれる。

【0036】次に、本発明に係わるクロストーク補正部4の構成および動作について、図2～図5を参照して詳細に説明する。なおここでは、説明の容易のために、水平方向画素間のクロストークを補正する回路について説

明する。また、以下の説明中において用いている信号または構成部に対する符号の中のR、GまたはBの符号は、各々、その信号および構成部が、レッド(R)、グリーン(G)またはブルー(B)の信号に係わる信号または構成部であることを示している。

【0037】まず、クロストーク補正部4の構成について図2を参照して説明する。図2は、クロストーク補正部4の構成を示す回路ブロック図である。表示装置上の画素の並びは、R(レッド)、G(グリーン)、B(ブルー)、R、G、B、R、G、B…とシリアルに並んでいるが、映像信号は、RGBの3信号がパラレルになっている。そのような映像信号S₄₁₂、S₄₁₄、S₄₁₈がクロストーク補正部4に入力されると、まず、遅延器(D)42R、42G、42Bにより1クロック分遅延され、さらに、遅延器(D)44R、44G、44Bにより1クロック分遅延され、1クロック分の遅延信号S₄₃₂、S₄₃₄、S₄₃₈および2クロック分の遅延信号S₄₅₂、S₄₅₄、S₄₅₈が生成される。これらの信号は、1クロック分遅延された信号S₄₃₂、S₄₃₄、S₄₃₈を基準とすると、信号S₄₅₂、S₄₅₄、S₄₅₈は1クロック前の信号、信号S₄₁₂、S₄₁₄、S₄₁₈は1クロック後の信号となる。

【0038】次に、たとえばグリーン(G)に係わる信号については、減算器46Gで、基準のグリーンの映像信号S₄₃₆より1画素前の画素である同じクロックのRGB信号のレッド(R)の画素の信号S₄₃₂の信号を減算し、差分信号S₄₇₆を生成する。また、減算器48Gで、基準のグリーンの映像信号S₄₃₆より1画素後の画素である同じクロックのRGB信号のブルー(B)の画素の信号S₄₃₈を減算し、差分信号S₄₉₆を生成する。次に、この2つの差分信号S₄₇₆、S₄₉₆を加算器50Gで加算して合成した差分信号S₅₁₆を生成し、さらに係数乗算器(H)52Gで所定の係数を乗じて乗算結果の信号S₅₃₆を生成する。そして、その乗算結果の信号S₅₃₆を遅延器(D)54Gで1クロック分遅延させて補正信号S₅₅₆を生成し、加算器56Gで対応する2クロック分遅延された映像信号S₄₅₆と合成し出力信号S₅₇₆を生成し、クロストーク補正部4より出力する。

【0039】同様に、レッド(R)に係わる信号については、減算器46Rで、基準のレッドの映像信号S₄₃₂より1画素前の画素である1クロック前のRGB信号のブルー(B)の画素の信号S₄₃₈の信号を減算し、差分信号S₄₇₈を生成する。また、減算器48Rで、基準のグリーンの映像信号S₄₃₂より1画素後の画素である同じクロックのRGB信号のグリーン(G)の画素の信号S₄₃₆を減算し、差分信号S₄₉₈を生成する。次に、この2つの差分信号S₄₇₈、S₄₉₈を加算器50Rで加算して合成した差分信号S₅₁₂を生成し、さらに係数乗算器(H)52Rで所定の係数を乗じて乗算結果の信号S₅₃₂を生成する。そして、その乗算結果の信号S₅₃₂を生成する。

遅延器(D)54Rで1クロック分遅延させて補正信号S_{55B}を生成し、加算器56Rで対応する2クロック分遅延された映像信号S_{45R}と合成し出力信号S_{57B}を生成し、クロストーク補正部4より出力する。

【0040】同様に、ブルー(B)に係わる信号については、減算器46Bで、基準のグリーンの映像信号S_{43B}より1画素前の画素である同じクロックのRGB信号のグリーン(G)の画素の信号S_{43G}の信号を減算し、差分信号S_{47B}を生成する。また、減算器48Bで、基準のグリーンの映像信号S_{43B}より1画素後の画素である1クロック後のRGB信号のレッド(R)の画素の信号S_{41B}を減算し、差分信号S_{49B}を生成する。次に、この2つの差分信号S_{47B}、S_{49B}を加算器50Bで加算して合成した差分信号S_{51B}を生成し、さらに係数乗算器(H)52Bで所定の係数を乗じて乗算結果の信号S_{53B}を生成する。そして、その乗算結果の信号S_{53B}を遅延器(D)54Bで1クロック分遅延させて補正信号S_{55B}を生成し、加算器56Bで対応する2クロック分遅延された映像信号S_{45B}と合成し出力信号S_{57B}を生成し、クロストーク補正部4より出力する。

【0041】このようにしてクロストーク補正部4においては、入力映像信号S_{41R}、S_{41G}、S_{41B}に対して、隣接画素とのクロストークの補正された出力映像信号S_{57R}、S_{57G}、S_{57B}を生成し、映像ドライブ回路6に出力する。

【0042】次に、このようなクロストーク補正部4の動作について、図3および図4を参照して説明する。図3および図4は、クロストーク補正部4の動作を説明するための波形図である。図3(A)は、任意の画素nを中心に画素が...R[n-1], G[n-1], B[n-1], R[n], G[n], B[n], R[n+1], G[n+1], B[n+1]...と並んでおり、これに対応して映像信号...SR[n-1], SG[n-1], SB[n-1], SR[n], SG[n], SB[n], SR[n+1], SG[n+1], SB[n+1]...が入力されている状態を示している。

*

$$DG[n] = SG[n] + H \cdot ((SG[n] - SR[n]) + (SG[n] - SB[n]))$$

…(4)

【0047】最後に、このような出力信号をプラズマアドレス型液晶パネル10に印加することにより、前述したような絶縁層によるクロストークが補正されることについて、図5を参照して説明する。まず画素G[n]を例示して詳細に説明を行なう。式(4)に示すような出力信号DG[n]を、映像ドライブ回路6を介してプラズマアドレス型液晶パネル10に印加すると、絶縁層に※

$$LG[n] = K \cdot DR[n] + (1 - 2K) DG[n] + K \cdot DB[n]$$

$$\dots(5)$$

【0049】そして、式(5)を式(4)を用いて展開すると、式(6)のようになる。

* 【0043】このような状態において、まず、減算器46R, 46G, 46Bにおいて、RGBの各信号ごとに順次、1画素前の画素との差分信号を求める。その結果、図3(B)に示すような信号が順次得られる。たとえば、画素G[n]については、減算器46Gにおいて、1画素前の画素R[n]との差分信号SG[n] - SR[n]が検出される。一方、減算器48R, 48G, 48Bにおいては、RGBの各信号ごとに順次、1画素後の画素との差分信号が求められる。その結果、図3(C)に示すような信号が順次得られる。たとえば、画素G[n]については、減算器48Gにおいて、1画素後の画素B[n]との差分信号SG[n] - SB[n]が検出される。

【0044】次に、加算器50R, 50G, 50Bにおいて、これら2つの差分信号を加算し、図4(D)に示すような差分の和信号を検出する。前述した画素G[n]については、加算器50Gにおいて差分信号SG[n] - SR[n]と差分信号SG[n] - SB[n]が加算され、和信号(SG[n] - SR[n]) + (SG[n] - SB[n])が生成される。次に、係数乗算器52R, 52G, 52Bにおいて、この和信号に所定のクロストーク補正係数Hを乗じて、図4(E)に示すような補正信号を生成する。画素G[n]については、係数乗算器52において、補正信号H・((SG[n] - SR[n]) + (SG[n] - SB[n]))が算出される。

【0045】そして最後に、加算器56R, 56G, 56Bにおいて、対応する入力信号に対して補正信号が加算されて、図4(F)に示すような出力信号が生成される。画素G[n]については、加算器56Gにおいて、入力信号SG[n]と補正信号H・((SG[n] - SR[n]) + (SG[n] - SB[n]))が加算されて式(4)および図4(F)に示すような出力信号DG[n]が生成されて出力される。

【0046】

【数4】

※より拡散され図5(A)に示すようなクロストークが生じる。その結果、液晶に加わる電圧LG[n]は、図5(B)に示すようになるが、これは、式(3)より、式(5)のように表すことができる。

【0048】

【数5】

【0050】

$$\begin{aligned}
 LG[n] = & K \cdot (SR[n] \\
 & + H \cdot ((SR[n] - SB[n-1]) \\
 & \quad + (SR[n] - SG[n]))) \\
 & + (1-2K) (SG[n] + \\
 & \quad H \cdot ((SG[n] - SR[n]) \\
 & \quad + (SG[n] - SB[n]))) \\
 & + K \cdot (SB[n] \\
 & \quad + H \cdot ((SB[n] - SG[n]) \\
 & \quad + (SB[n] - SR[n+1]))) \\
 & \cdots (6)
 \end{aligned}$$

【0051】ほとんどの画像では1画素隣の同色の信号
とは相関性があるため、 $SR[n] = SR[n+1]$ 、
 $SB[n] = SB[n-1]$ と見なしてよく、これを用* 【数7】

$$\begin{aligned}
 LG[n] = & SR[n] \cdot (-H + 3HK + K) \\
 & + SG[n] \cdot (1 + (-2H + 6HK + 2K)) \\
 & + SB[n] \cdot (-H + 3HK + K) \\
 & \cdots (7)
 \end{aligned}$$

【0053】したがって、係数Hを、式(8)のように
選択すると、式(7)は式(9)のようになる。 * 【0054】
※20 【数8】

$$H = K / (1 - 3K) \cdots (8)$$

【0055】

$$LG[n] = SG[n] \cdots (9)$$

【0056】すなわち、液晶に加わる電圧 $LG[n]$ には、映像信号 $SG[n]$ の成分しかなくなつておらず、図5(B)に示す液晶電圧が、クロストーク成分を打ち消していることがわかる。

【0057】同様に、R信号においても、画素 $R[n]$
に隣接する画素 $B[n-1]$ と画素 $G[n]$ の信号を使★

$$\begin{aligned}
 DR[n] = & SR[n] \\
 & + H \cdot ((SR[n] - SB[n-1]) \\
 & \quad + (SR[n] - SG[n])) \\
 & \cdots (10)
 \end{aligned}$$

【0059】一方で、出力信号に対して実際に液晶に加
わる電圧 $LG[n]$ は、式(3)より式(11)のよう
になるので、

$$\begin{aligned}
 LR[n] = & K \cdot DB[n-1] + (1-2K) DR[n] + K \cdot DG[n] \\
 & \cdots (11)
 \end{aligned}$$

【0061】これを、式(10)を用いてG信号と同様
に展開し、さらに $H = K / (1 - 3K)$ に選ぶと、電圧 40 【0062】
 $LG[n]$ は、式(12)のようになる。すなわち、映
像信号 $SR[n]$ の成分しかなくなつておらず、クロストーク◆

$$\begin{aligned}
 LR[n] = & SR[n] \\
 & \cdots (12)
 \end{aligned}$$

【0063】同様に、B信号においても、画素 $B[n]$
に隣接する画素 $G[n]$ と画素 $R[n+1]$ の信号を使
用し、また、クロストーク補正係数を H とすると、クロ
ストーク補正処理後の信号 $DB[n]$ は、式(13)の

$$\begin{aligned}
 DB[n] = & SB[n] \\
 & + H \cdot ((SB[n] - SG[n])
 \end{aligned}$$

ようになる。

【0064】
【数13】

$$+ (S_B[n] - S_R[n+1]))$$

… (13)

【0065】一方で、出力信号に対して実際に液晶に加わる電圧LB[n]は、式(3)より式(14)のようになるので、

$$LB[n] = K \cdot DG[n] + (1 - 2K) DB[n] + K \cdot DR[n+1]$$

… (14)

【0067】これを、式(13)を用いてG信号と同様に展開し、さらにH=K/(1-3K)に選ぶと、電圧LB[n]は、式(15)のようになる。すなわち、映像信号SB[n]の成分しかなくなっており、クロスト※

$$LB[n] = SB[n]$$

【0069】このように、本実施の形態のプラズマアドレス型液晶表示装置1においては、プラズマアドレス型液晶表示パネルの絶縁層で生じるクロストーク成分を、予め検出したクロストーク係数を用いて信号処理により予測し、補正するようにした。したがって、プラズマアドレス型液晶パネル10上のクロストークを減少することができ、原信号に忠実な輝度、色度、色相の高品位な画像を表示することができる。また、プラズマアドレス型液晶パネル10には、変更を行なったり新たな構造を設けたるなどの改造を何らおこなっておらず、単に信号処理部の変更のみでクロストークの補正を行なっているので、容易かつ低成本に、高品位な画像を表示可能なプラズマアドレス型液晶表示装置を実現することができる。

【0070】なお、本発明は本実施の形態に限られるものではなく、任意好適な種々の変換が可能である。たとえば、本実施の形態においては、クロストークの大きいRGB構造のRGB画素間のクロストークを補正する場合を例示して本発明の説明を行なったが、RGB画素と直交する画素間のクロストークに対しても、同様の方法により、より具体的には遅延部を1水平期間ずつ遅延させることにより、補正することができる。そのような補正も本発明の範囲内であることは明らかである。

【0071】また、クロストーク補正部の構成は、図2に示したような構成に限られるものではなく、任意の構成でよい。たとえば、プラズマアドレス型液晶表示装置1が単色の表示装置である場合には、クロストーク補正部の構成は図6に示すように大幅に簡略化された構成となるが、このような構成でもよい。図6に示すクロストーク補正回路20においては、入力した映像信号S₂₁が遅延器22で1画素分遅延されさらに遅延器24で1画素分遅延され、これにより、映像信号S₂₃を基準として1画素前の信号S₂₁と1画素後の信号S₂₅が生成される。次に、減算器26で映像信号S₂₁から映像信号S₂₅を減算し差分信号S₂₇を、減算器28で映像信号S₂₃から映像信号S₂₁を減算し差分信号S₂₉を各々生成する。さらに、これら差分信号S₂₇と差分信号S₂₉を加算器3

* 【0066】

【数14】

*

※一ク成分が打ち消されていることがわかる。

【0068】

【数15】

… (15)

0で合成して合成された差分信号S₂₁を生成する。そして、この差分信号S₂₁に係数乗算器32で所定の係数を乗じて補正信号S₂₃を生成し、この補正信号S₂₃を加算器34で映像信号S₂₃に加算し、クロストーク補正の行なわれた出力信号S₂₅を得る。なお、図6に示した遅延器22と遅延器25を1水平期間の遅延にすると、垂直方向のクロストーク補正を行なうことができる。

【0072】また、液晶のV-T特性や映像信号のガンマ特性を考慮にいれて補正を行なうようにしてもよい。映像信号のガンマ特性は、CRTの入力電圧に対する発光輝度特性で、図7(A)に示すように、2乗曲線に近い特性を持つ。また、液晶のV-T特性は、液晶に加わる電圧に対する液晶の透過率特性で、図7(B)に示すように、S字状のカーブを持つ。このような特性を用いればより好適な補正を行なうことができる。

【0073】具体的に図8を参照して説明する。図8は、映像信号のガンマ特性や液晶のV-T特性を考慮にいれたクロストーク補正を行なうクロストーク補正部20bの構成を示すブロック図である。図8のクロストーク補正部20bは、図6に示したクロストーク補正部20に対して、遅延器22の前段に非線型変換機36を設け、加算器33の後段に非線型逆変換器38を設けたものである。非線型変換機36は、CRTのガンマ特性や液晶のV-T特性を掛け合わせた任意の非線型変換を行い、非線型逆変換器38は、非線型変換器36の逆特性の非線型変換を行う。非線型変換機36および非線型逆変換器38以外の他の構成部は、図6に示したクロストーク補正回路20における動作と同じである。このような構成のクロストーク補正回路20bであれば、映像信号のガンマ特性や液晶のV-T特性を考慮にいれた補正を容易に行なうことができる。このような構成も、本発明の範囲内であることは明らかである。

【0074】

【発明の効果】以上説明したように、本発明によれば、たとえばプラズマアドレス型液晶表示装置における、クロストークによる輝度、色度、飽和度の変化を適切に補正することのできるクロストーク補正装置を提供するこ

とができる。また、クロストークによる輝度、色度、飽和度の変化を防止し、忠実な輝度と色の再現を行ない高品位な画像を表示することのできるプラズマアドレス型液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施の形態のプラズマアドレス型液晶表示装置の構成を示すブロック図である。

【図2】図2は、図1に示したプラズマアドレス型液晶表示装置のクロストーク補正部の構成を示すブロック図である。

【図3】図3は、図2に示したクロストーク補正部の動作を説明するための第1の図である。

【図4】図4は、図2に示したクロストーク補正部の動作を説明するための第2の図である。

【図5】図5は、図2に示したクロストーク補正部の動作により、クロストークが補正されることを説明するための図である。

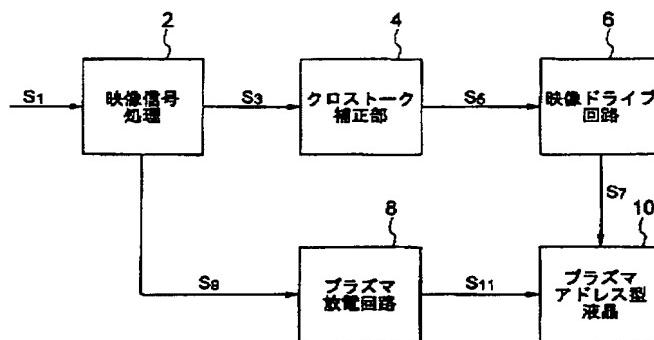
【図6】図6は、図1に示したプラズマアドレス型液晶表示装置のクロストーク補正部の他の構成を示すブロック図である。

【図7】図7は、図1に示したプラズマアドレス型液晶表示装置のクロストーク補正部の他の構成を示すための、ガンマ特性とV-T特性を示す図である。

【図8】図8は、図1に示したプラズマアドレス型液晶表示装置のクロストーク補正部の他の構成であって、非線型処理を盛り込んだクロストーク補正部の構成を示すブロック図である。

【図9】図9は、プラズマアドレス型液晶パネルの構造*

【図1】



1

* を示す図である。

【図10】図10は、プラズマアドレス型液晶表示パネルに対する映像信号の書き込み原理を説明するための図である。

【図11】図11は、プラズマアドレス型液晶表示パネルにおけるクロストークの発生原理を説明するための図である。

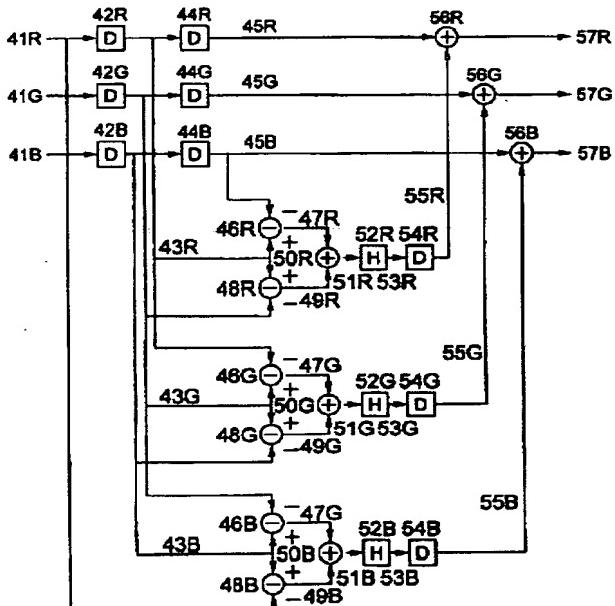
【図12】図12は、プラズマアドレス型液晶表示パネルに生じるクロストークを説明するための図である。

10 【図13】図13は、カラーのプラズマアドレス型液晶表示パネルに生じるクロストークを説明するための図である。

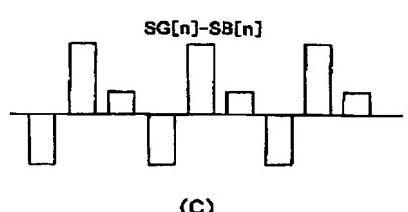
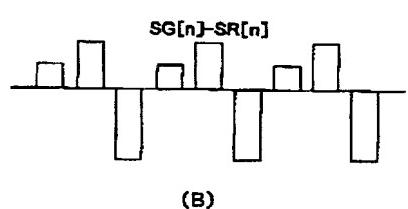
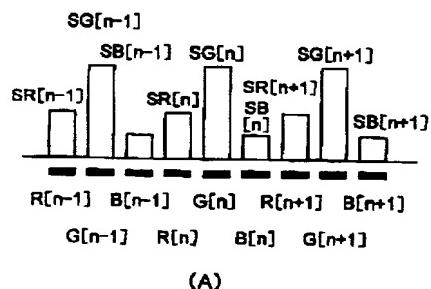
【符号の説明】

1…プラズマアドレス型液晶表示装置、2…映像信号処理部、4…クロストーク補正部、6…映像ドライブ回路、8…プラズマ放電回路、10…プラズマアドレス型液晶パネル、22, 24, 42, 44, 54…遅延器、26, 28, 46, 48…減算器、30, 34, 50, 56…加算器、32, 52…係数乗算器、36…非線型変換機、38…非線型逆変換器、100…プラズマアドレス型液晶表示パネル、101…偏向フィルター、102…後面ガラス、103…アノード、104…カソード、105…隔壁、106…絶縁層、107…液晶、108…カラーフィルター、109…透明電極、110…前面ガラス、111…偏向フィルター、112…放電電圧、113…放電スイッチ、114…信号電圧、115…プラズマ放電、116…信号電荷

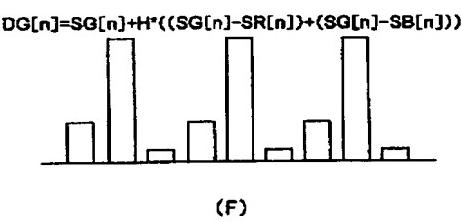
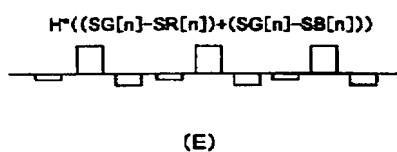
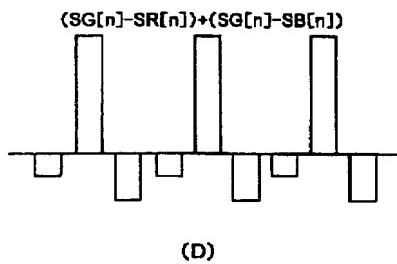
【図2】



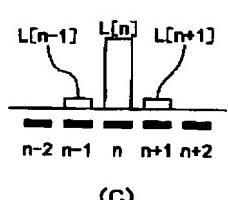
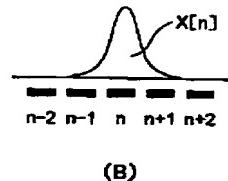
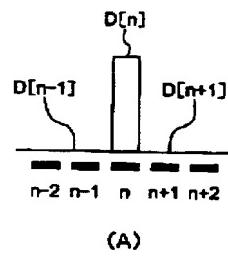
【図3】



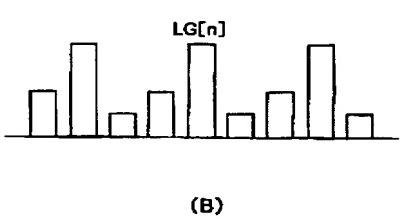
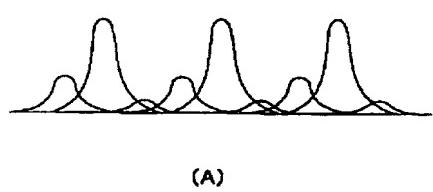
【図4】



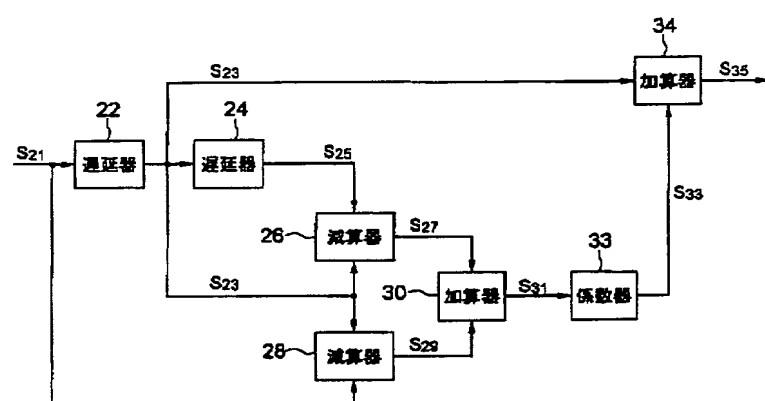
【図12】



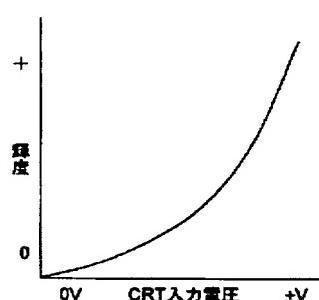
【図5】



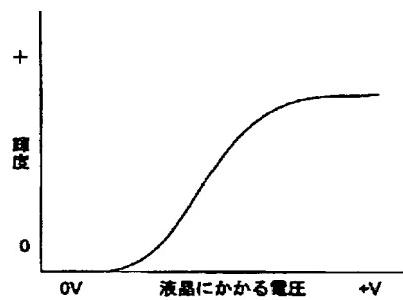
【図6】



【図7】

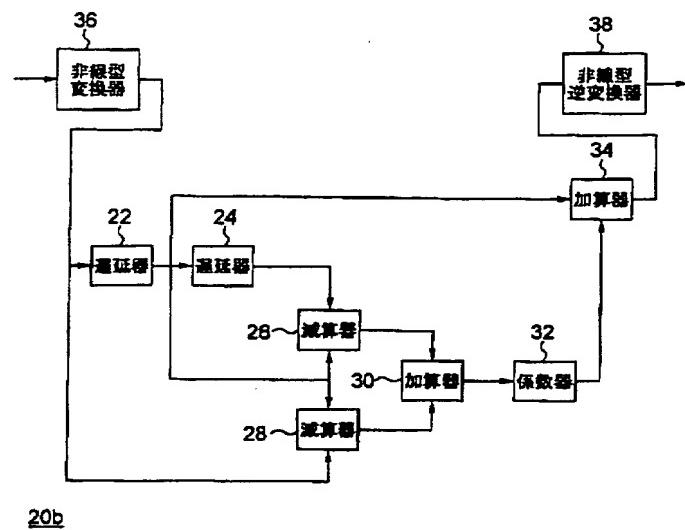


(A) ガンマ特性



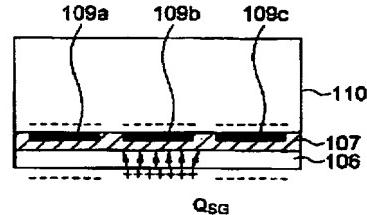
(B)V-T特性

【図8】

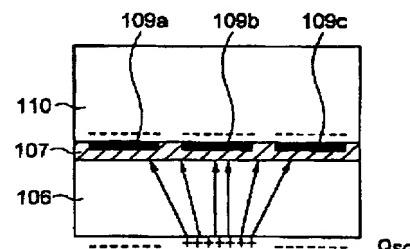
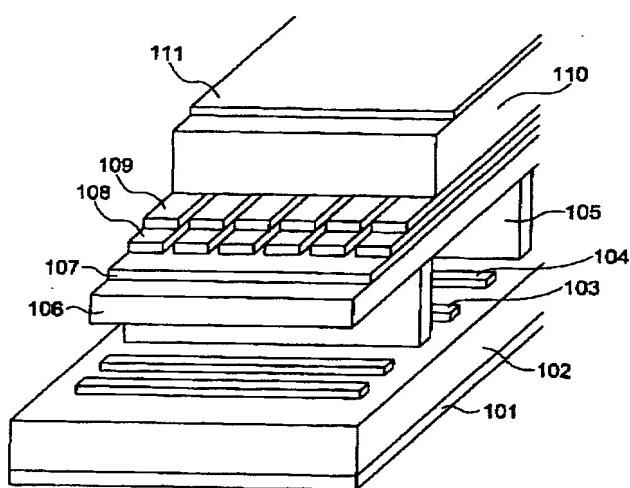


20b

【図11】

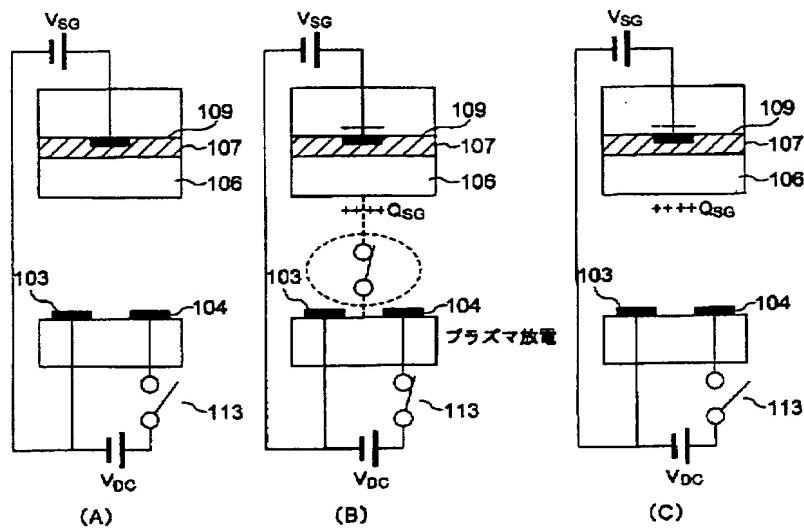


(A)



(B)

【図10】



【図13】

